

SOLID-STATE IMAGE PICKUP DEVICE

Patent Number: JP57141178
Publication date: 1982-09-01
Inventor(s): YAMADA TETSUO
Applicant(s):: TOKYO SHIBAURA DENKI KK
Requested Patent: ☐ JP57141178
Application Number: JP19810026151 19810226
Priority Number(s):
IPC Classification: H04N5/30 ; H01L27/14 ; H04N1/02
EC Classification:
Equivalents:

Abstract

PURPOSE: To improve resolution by synthesizing video signals from two arrays of photoelectric conversion elements shifted from each other by a half pitch.

CONSTITUTION: On a semiconductor substrate, the 1st array of photoelectric conversion elements 13-22, and the 2nd array of photoelectric conversion elements 23-32 is also provided by being shifted from the 1st array by a half pitch. The 1st and 2nd arrays of photoelectric conversion elements are provided with the 1st and 2nd signal carriage paths 33 and 34 and the 1st and 2nd signal output circuits 35 and 36. A video signal obtained by a main scan on the 1st photoelectric conversion element array is inputted to a delay circuit 37 through the signal carriage path 33 and signal output circuit 35 to be delayed by the time when an image moves between those two element arrays. A video signal by a main scan on the 2nd array is synthesized with the output of the delay circuit 37 after passing through the signal carriage path 34 and signal output circuit 36, thus obtaining a video signal for one array.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57—141178

⑤ Int. Cl.³

H 04 N 5/30

H 01 L 27/14

H 04 N 1/02

識別記号

庁内整理番号

6940—5C

7021—5F

7334—5C

⑬ 公開 昭和57年(1982)9月1日

発明の数 1

審査請求 未請求

(全 5 頁)

⑭ 固体撮像装置

浦電気株式会社トランジスタ工場内

⑯ 特 願 昭56—26151

⑰ 出 願 昭56(1981)2月26日

⑱ 発 明 者 山田哲生

川崎市幸区小向東芝町1 東京芝

⑲ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 則近憲佑 外1名

明 細 書

1. 発明の名称

固体撮像装置

2. 特許請求の範囲

(1) 半導体基板上に設けられた第1の光電変換素子列と、この光電変換素子列と同一ピッチで各素子の配置位置を相対的に1/2ピッチずらせた第2の光電変換素子列と、前記第1、第2の光電変換素子列によって光電変換された信号電荷を搬送する複数の搬送手段と、前記光電変換素子列方向の垂直方向に移動する映像を所定走査期間に前記第1の光電変換素子列で光電変換した第1の映像信号と、前記所定走査期間以後の第k走査期間に前記映像を前記第2の光電変換素子列で光電変換した第2の映像信号とを合成する合成手段とを具備したことを特徴とする固体撮像装置。

(2) 前記第1の映像信号を(k-1)回の走査時間に相当する時間遅延させる遅延手段を具備してなることを特徴とする前記特許請求の範囲第1項記載の固体撮像装置。

(3) 前記搬送手段と前記遅延手段として電荷搬送装置を用い、前記搬送手段と前記遅延手段を連続させ前記遅延時間に対応した搬送段数形成したことを特徴とする前記特許請求の範囲第2項記載の固体撮像装置。

(4) 前記第1、第2の光電変換素子列における各素子の受光領域の列方向長さを前記ピッチ長の1/2とし、前記受光領域以外の領域を光通へいすることを特徴とする前記特許請求の範囲第1項乃至第4項記載の固体撮像装置。

3. 発明の詳細な説明

本発明は半導体装置に係り、特に固体撮像装置に関するものである。

従来、一次元固体撮像装置を使用して画像の脱取りを行っているファクシミリやOCRにおいては近年増々高解像度化(多面素化)の要求が高まっている。しかし、固体撮像装置において多面素化することにより、次の弊害が生じる。一つは、チップサイズが大きくなることであり、これによるコスト高は不可避である。従って各画素の微小化

を行わざるを得なかった。しかしながら、微小化に対する限界は製造プロセスのみならず、使用光学系のOTF (Optical Transfer Function) から制約を受ける。従って画素サイズをむやみに小さくすることはできない。

次に従来例を第1図に従い説明する。第1図は従来の固体撮像装置である。第1図において半導体基板上に光電変換素子(1)~(4)が主走査方向に一列に設けられており、この光電変換素子(1)~(4)で光電変換された信号電荷は搬送手段(1)によって搬送され、出力回路(2)によって信号電荷又は信号電流を信号電圧として外部へ取り出されている。

たとえばフラグシミリやOORに適用した場合を考えると第1図の副走査方向に映像が移動し、所定走査期間に光電変換素子列を通過した信号がスライスされた映像信号として一時系列信号に変換される。従って副走査方向の解像度は映像の副走査方向移動速度と、各光電変換素子の副走査方向の長さで決定される。これに対し、主走査方向の解像度は光電変換素子の数で決定される。従って

従来例の主走査方向の解像度を2倍に高めるためには、主走査方向の画素数を2倍に増加しなければならず同一画素サイズに対しては、チップの長さがおおよそ2倍に増加してしまう。既に微小化された画素においては、光学系の問題点が生じてしまう。

本発明は、上記点に重みをなされたもので、半導体基板上に設けられた第1の光電変換素子列と、この光電変換素子列と同一ピッチで各素子の配置位置を相対的に1/2ピッチずらせた第2の光電変換素子列と、前記第1、第2の光電変換素子列によって光電変換された信号電荷を搬送する複数の搬送手段と、前記光電変換素子列方向の垂直方向に移動する映像を所定走査期間に前記第1の光電変換素子列で光電変換した第1の映像信号と前記所定走査期間以後の第k走査期間に前記映像を前記第2の光電変換素子列で光電変換した第2の映像信号とを合成する合成手段とを具備することによって、画素サイズを小さくすることなく、さらに配列方向のチップサイズを増加させること

なく、解像度を従来の2倍に高めた固体撮像装置を提供することを目的とするものである。

以下、図面を参照して本発明を実施例に基き、詳細に説明する。

第2図は本発明の第1の実施例を示す平面概略図である。半導体基板上に第1の光電変換素子列(13)~(14)と第2の光電変換素子列(15)~(16)が設けられており、これらに隣接して第1の信号搬送路(13)、第2の信号搬送路(14)が形成されており、第1、第2の信号搬送路(13)、(14)の端部に隣接して、第1、第2の信号出力回路(15)、(16)が形成されている。第1の信号出力回路(15)から出力された信号電荷は信号遅延回路(17)を通過して第2の信号出力回路(16)の出力信号とともに信号補間合成回路(18)に入力される。

第3図(a)は、本発明の第1の実施例の動作原理を説明するための第2図の部分拡大平面図である。第3図において映像(19)は第1走査期間内に副走査方向に所定距離(20)移動する。第3図(b)は、第1、第2の光電変換素子列の走査出力列のタイミング図である。

第3図(b)において第1光電変換素子列(13)~(14)で撮像される映像信号を基準にして、第1光電変換素子列(13)~(14)を第1走査期間に通過するスライスされた映像信号(21)の出力列を第1走査出力列とし、同様にスライスされた同一映像信号が第2光電変換素子列で撮像されて出力された出力列を第1走査出力列とした走査出力列のタイミング図を示す。ここで信号Aは、第1光電変換素子列の信号出力列、信号Bは信号Aを1走査期間分遅延した出力列、信号Cは第2光電変換素子列の信号出力列を各々示す。

次に本発明の第1の実施例の動作を説明する。第1の実施例においては、主走査方向の画素ピッチと副走査方向の画素列ずれ距離とが等しく構成されており、第1列に対して第2列は主走査方向に1/2画素ピッチ($1/2p$)ずれて形成されている。副走査方向の画素列のずれ(20)が移動する期間に撮像された信号が第1出力回路(15)から出力される場合の信号列は、第3図(b)の信号A内に示される。次に、同映像が(20)に従って、移動する期間

に第2光電変換素子列64により撮像され、第2出力回路65から出力される信号列は、信号0内の第1'走査出力列として示される。第1走査出力列と、第1'走査出力列とは同一映像を1/2画素ピッチずらせて、空間サンプリングした信号列となる。従って、信号Bに示すように第1走査出力列を一主走査期間遅延して、第1'走査出力列と補間合成することにより、各光電変換素子列で撮像された出力信号列の2倍の解像度を有する一時系列信号を得ることができる。

従来一列に配列されている一次元撮像装置の画素(光電変換素子)列を2列に分け、各列は主走査方向に対して、1/2画素ピッチ分、位置(位相)をずらせて配列され、第1光電変換素子列で撮像した映像信号を同一映像信号が第2光電変換素子列で撮像され、出力される走査期間を遅延し、両時系列出力を補間合成することにより読み落しのない、高解像度撮像を可能にすることができる。

第4図は、本発明の第2の実施例を示す平面概略図である。尚第1図～第3図と同一箇所は同一

符号を付して説明する。第1、第2の光電変換素子列63～64、65～66は第1の実施例と同一構造とする。

第4図において第1、第2の光電変換素子列63～64、65～66で光電変換された信号電荷を各々対応する搬送手段、この場合は電荷転送装置67、68へ移送するために第1、第2の移送制御ゲート69、70が設けられている。第1光電変換素子列で撮像された信号電荷束列は遅延回路71によって一主走査期間遅延する。遅延回路71は搬送手段67と同様の電荷転送装置により構成されている。次に一主走査期間遅延された第1走査出力列と、遅延を受けている第2の光電変換素子列で光電変換された第1'走査出力を補間合成し、出力する合成回路72が遅延回路71と搬送手段67に続いて形成されている。第5図は第2の実施例の動作を説明するためのタイミング図である。 ϕ_{SH} は、一主走査期間を決定する移送パルス、 ϕ_1, ϕ_2 は電荷転送装置67、68を動作させるための2相移送パルス、信号Dは第1光電変換素子列で撮像され、一主走査期

間遅延された第1走査出力、信号Eは第2光電変換素子列で撮像された第1'走査出力、信号Fは信号D、Eを補間合成して得られた出力信号を各々示す。第5図において斜線部分が信号列を示す。

以上説明したように、第2の実施例においては、信号を電荷束の形で、電荷転送装置で転送することにより、転送段数を所定の段数増加させるだけで、遅延回路を兼ねることができ、非常に簡易な構造で本発明を実施できる。又、出力回路の補間合成は、通常のデュアル・チャネル電荷転送装置の出力回路を用いることにより、容易に達成される。従って、撮像、遅延、補間合成、一時系列信号出力を全て同一チップ間で容易に行うことができる。

第6図(a)は本発明の第3の実施例を示す部分平面概略図である。尚、第1図乃至第5図と同一箇所には同一符号を付す。第6図(a)において第1光電変換素子列の受光窓列61～64と、第2光電変換素子列の受光窓列65～68が設けられており、光電変換素子の受光部以外は光シャヘイ膜によってお

まわれている。

第3の実施例においては各光電変換素子列の画素ピッチは a 、受光窓の大きさは $a/2 \times a/2$ 、第1光電変換素子列61～64と第2光電変換素子列65～68とは間隔 $a/2$ で分離されており、前記2列の素子列は、互いに一方の素子列の受光無効部分を補い合う形に配列されている。一般に各画素間の光学的分離が十分であればある程MTF(Modulation Transfer Function)特性は向上するが、現実これを実現するためには隣り合う画素間に受光無効部分を形成する必要があり、そのため、映像の読み落しが起こる場合がある。本発明の第3の実施例によればその受光無効部分を2つの画素列が補いあって、理想的MTF特性を実現することができる。なお、第3の実施例においては、各々第1、第2、第3主走査期間に移動する映像の移送量69～70が示すように、前記第2光電変換素子列の第1'走査出力と合成すべき第1光電変換素子列の第1走査出力は、一主走査期間の2倍遅延させる必要がある。

第6図(b)は、2つの信号列の流れを示すブロック図の一例である。第1光電変換素子列の撮像信号出力側は主走査期間に対応する遅延を遅延回路72によって行なわれこの出力と第2光電変換素子列の撮像信号出力側が合成出力回路73に入力され一時系列信号列に補間合成される。

以上説明した如く、本発明を実施することにより、一次元固体撮像装置の多面素化をチップサイズを増加させることなく可能ならしめ、解像度の高い一次元固体撮像装置を得ることができる。さらに遅延回路等も容易に同一チップ内に形成することができるため、2倍の面素数を有する従来の一次元固体撮像装置と同一機能又はそれ以上の機能素子として実現できる。さらに第3の実施例に示すように、従来回路が困難であった高MPP化も容易に実現できる。

4. 図面の簡単な説明

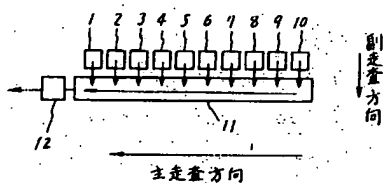
第1図は従来の固体撮像装置を示す平面概略図、第2図は本発明の第1の実施例を示す固体撮像装置の平面概略図、第3図(a)は第2図の部分拡大平

面図、第3図(b)は、第1、第2の光電変換素子列の走査出力列のタイミング図、第4図は本発明の第2の実施例を示す平面概略図、第5図は第2の実施例の動作を説明するためのタイミング図、第6図(a)は本発明の第3の実施例を示す部分平面概略図、第6図(b)は第1、第2光電変換素子列の撮像信号列の流れを示すブロック図である。図において、

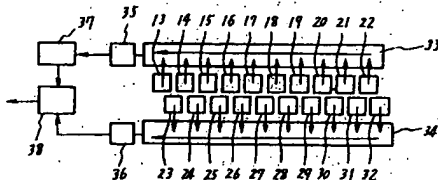
- 1~10, 13~32, 61~68...光電変換素子、
- 11, 33, 34...信号搬送手段、
- 47, 48...電荷転送装置、
- 12, 35, 36...出力回路、
- 37, 49, 72...信号遅延回路、
- 38...信号補間合成回路、
- 39...映像、
- 40, 41...主走査期間内の副走査方向移動距離、
- 45, 46...移送制御ゲート、
- 50, 73...合成回路。

(7317) 代理人 弁理士 則 近 憲 佑
(ほか1名)

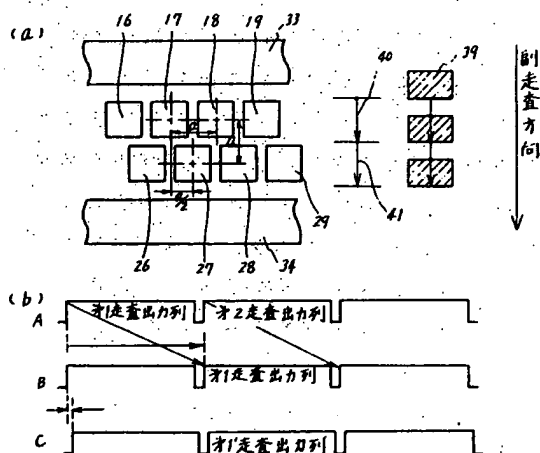
第1図



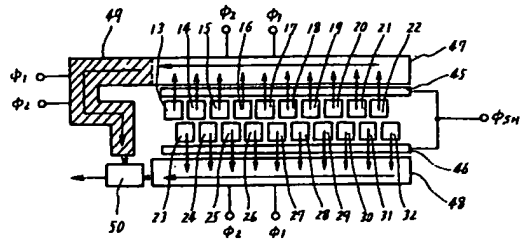
第2図



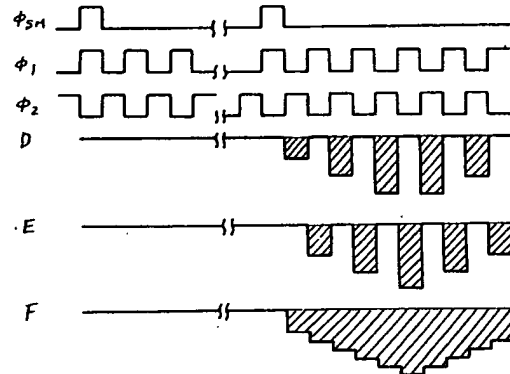
第3図



第 4 図



第 5 図



第 6 図

